

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-124175

(43)Date of publication of application : 06.05.1994

(51)Int.CI.

G06F 3/08

(21)Application number : 05-052815

(71)Applicant : SHARP CORP

(22)Date of filing : 15.03.1993

(72)Inventor : FUKUMOTO KATSUJI

(30)Priority

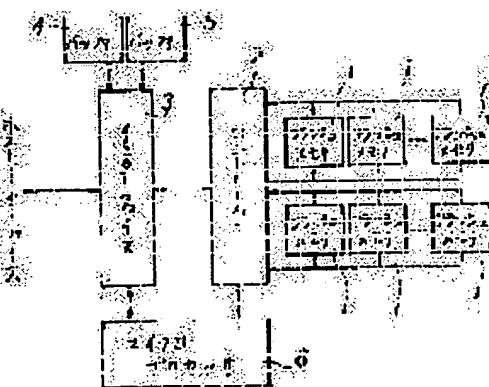
Priority number : 04230556 Priority date : 28.08.1992 Priority country : JP

(54) SEMICONDUCTOR DISK DEVICE

(57)Abstract:

PURPOSE: To simultaneously execute a data transfer from an outside to a buffer memory, the data transfer from the buffer memory to a flash memory, and the delete of the flash memory, and to make a writing speed fast by dividing the flash memory into two groups, and providing two buffer memories.

CONSTITUTION: A flash memory 1 is divided into two groups, the data of each group are individually read by a controller 2, and a deleting and writing operation can be attained. The controller 2 controls the data transfer between an interface 3 and the flash memory 1. Two buffer memories 4 and 5 are individually connected with the interface circuit 3. The flash memory is divided into two groups, and the two buffer memories 4 and 5 are provided, so that the data transfer from the outside part to the buffer memories 4 and 5, the data transfer from the buffer memories 4 and 5 to the flash memory 1, and the delete of the flash memory 1 can be simultaneously executed.



LEGAL STATUS

[Date of request for examination] 07.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number] 2768618
[Date of registration] 10.04.1998
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Writing and the flash memory of two or more groups which can perform elimination independently, respectively, this -- with the buffer memory which has the block which has the capacity beyond the minimum elimination unit of the flash memory of two or more groups The actuation which reads the data of the above-mentioned block of this buffer memory, and writes the above-mentioned data in one block of one group of the flash memory of the two or more above-mentioned groups, RAM disk equipment characterized by coming to have the control section which makes coincidence perform actuation which eliminates the data of one block of other groups of the flash memory of the two or more above-mentioned groups.

[Claim 2] Writing and the flash memory of two or more groups which can perform elimination independently, respectively, this -- with the buffer memory which has two or more blocks which have the capacity beyond the minimum elimination unit of the flash memory of two or more groups The actuation which writes the data inputted through an interface in one block of the above-mentioned buffer memory, The actuation which reads the data of other blocks of the above-mentioned buffer memory, and writes these data in one block of one group of the flash memory of the two or more above-mentioned groups, RAM disk equipment characterized by coming to have the control section which makes coincidence perform actuation which eliminates the data of one block of other groups of the flash memory of the two or more above-mentioned groups.

[Claim 3] RAM disk equipment according to claim 1 or 2 characterized by the above-mentioned buffer memory consisting of a flash memory.

[Claim 4] RAM disk equipment according to claim 1, 2, or 3 characterized by each block of the above-mentioned buffer memory being the aggregate of two or more memory IC which has the capacity of under the above-mentioned minimum elimination unit.

[Claim 5] RAM disk equipment according to claim 1, 2, 3, or 4 characterized by coming to have a storage means to by _ which the above-mentioned control section memorizes whether each block of the flash memory of the two or more above-mentioned groups is in an elimination condition, or it is in a data write-in condition, and the means for which elimination actuation is forbidden to the block which is in an elimination condition based on the contents of this storage means.

[Claim 6] RAM disk equipment according to claim 1, 2, 3, 4, or 5 characterized by all or a part of the above-mentioned flash memories being the gestalten of a memory card.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the RAM disk equipment which realized the function equivalent to a hard disk drive unit especially using the semiconductor memory of a non-volatile about RAM disk equipment.

[0002]

[Description of the Prior Art] In recent years, RAM disk equipment is variously put in practical use as external storage of the computer which replaces a hard disk drive unit. Using the semiconductor memory of a non-volatile as a storage, compared with the hard disk drive unit which has a magnetic disk and the drive of the magnetic head, since this RAM disk equipment does not have a machine configuration, it is equipped with very high shock resistance and vibrability-proof. Therefore, it is useful to the application used by automobile by which especially an oscillation and an impact pose a problem, and if cost falls, promising ** is carried out also as external storage of a portable computer apparatus. Moreover, as a semiconductor memory of a non-volatile used for this RAM disk equipment, from DRAM (dynamic random access memory), SRAM (static RAM), etc. for which cell backup is needed, it is elimination and the writing of data, and reading and many the flash memories of a NOR mold and the flash memories of a NAND mold which do not need a power source are used except the time.

[0003]

[Problem(s) to be Solved by the Invention] However, in the above-mentioned conventional technique, since over-writing of a flash memory was impossible, when writing in, as it was necessary to perform elimination actuation per a block unit or chip first, for this reason was shown in a table 1, it had the problem that drawing speed became slow compared with a hard disk drive unit.

[0004]

[A table 1]

速度	フラッシュメモリ		ハードディスク
	NAND型	NOR型	
読み出し (アクセル時間)	100ns	100ns	0.5~1μs/バイト
既消去領域 への書き込み	0.3μs/バイト	10μs/バイト	0.5~1μs/バイト
消去も含む 書き込み	3μs/バイト	約81μs/バイト	—

[0005] That is, drawing speed including elimination actuation of a flash memory is 3 microseconds also with a NAND mold to a hard disk drive unit writing in 0.5 microseconds - 1 microsecond per cutting tool. It becomes extent and is about 81 microseconds with a NOR mold. It reaches. Moreover, this flash memory also has the fault that the count of rewriting is restricted to 10,000 - about 100,000 times by degradation of the oxide film of the floating gate.

[0006] The place which it is made in order that this invention may solve the above-mentioned technical problem, and is made into the object is by utilizing buffer memory and performing simultaneously elimination actuation and write-in actuation of a flash memory to offer the RAM disk equipment which has the drawing speed which is not inferior to a hard disk drive unit.

[0007]

[Means for Solving the Problem] The flash memory of two or more groups to which the RAM disk equipment of this

invention can perform writing and elimination independently, respectively, this -- with the buffer memory which has the block which has the capacity beyond the minimum elimination unit of the flash memory of two or more groups. The actuation which reads the data of the above-mentioned block of this buffer memory, and writes the above-mentioned data in one block of one group of the flash memory of the two or more above-mentioned groups, It has the control section which performs simultaneously actuation which eliminates the data of one block of other groups of the flash memory of the two or more above-mentioned groups, and the above-mentioned object is attained by that.

[0008] Moreover, the flash memory of two or more groups to which the RAM disk equipment of this invention can perform writing and elimination independently, respectively, this -- with the buffer memory which has two or more blocks which have the capacity beyond the minimum elimination unit of the flash memory of two or more groups. The actuation which writes the data inputted through an interface in one block of the above-mentioned buffer memory, The actuation which reads the data of other blocks of the above-mentioned buffer memory, and writes these data in one block of one group of the flash memory of the two or more above-mentioned groups, It has the control section which performs simultaneously actuation which eliminates the data of one block of other groups of the flash memory of the two or more above-mentioned groups, and the above-mentioned object is attained by that.

[0009] Furthermore, the above-mentioned control section is equipped with a storage means memorize whether each block of the flash memory of the two or more above-mentioned groups is in an elimination condition, or it is in a data write-in condition, and the means for which elimination actuation forbids to the block which is in an elimination condition based on the content of this storage means, and the RAM disk equipment of this invention has the above-mentioned object attained by that in the above-mentioned RAM disk equipment.

[0010]

[Function] While buffer memory has two blocks, the 1st and the 2nd, the case where the data for two or more blocks are written in the RAM disk equipment with which the flash memory was also divided into the 1st and 2nd two group is explained.

[0011] First, this data is due to be written in, for example, the applicable block of the flash memory of the 1st group is eliminated at the same time a control section inputs the first data for 1 block through an interface and writes in the 1st block of buffer memory. Next, the applicable block of the flash memory of the 2nd group which is due to write in this data is eliminated, and actuation written in the block concerned of the flash memory of the 1st group which is reading and eliminated data previously is also simultaneously performed from the 1st block of buffer memory at the same time a control section inputs the following data for 1 block through an interface and writes in the 2nd block of buffer memory. Furthermore, the applicable block of the flash memory of the 1st group which is due to write in this data is eliminated, and actuation written in the block concerned of the flash memory of the 2nd group which is reading and eliminated data previously is also simultaneously performed from the 2nd block of buffer memory at the same time a control section inputs that following data for 1 block through an interface and writes in the 1st block of buffer memory. And the same actuation is repeated inputting every 1 block data one by one henceforth, and the writing of all data is completed by writing in the block concerned of the flash memory of one which read data and was finally eliminated from one block of the buffer memory immediately before of groups.

[0012] Consequently, according to the RAM disk equipment of this invention, it can write in now continuously at high speed by specifying drawing speed only by any of the data transfer time for 1 block from the outside to buffer memory, the data transfer time for 1 block from buffer memory to a flash memory, and the blanking time for 1 block of a flash memory, or the longest time amount.

[0013] In addition, in the above-mentioned write-in actuation, it was the requisite that the flash memory of the same group is not chosen continuously, but an always different flash memory is chosen in order. This assigns the continuous sector number by turns to the flash memory of each group like the interleave method in main storage, and if it is made to perform always sequential access, it can realize it. However, since the flash memory of the same group may be chosen continuously and elimination and the writing of a block of a flash memory cannot be simultaneously realized in this case when performing random access, drawing speed falls for a while. However, if a flash memory is divided into three or more groups, possibility that the group same in this way will be chosen continuously will decrease comparatively. Moreover, a possibility of saying that the flash memory of the same group is chosen continuously can also be abolished by managing the free block of a flash memory for RAM disk equipment itself, and choosing the block which can be written in from the flash memory of a different group one by one from last time, when it has the system which enabled it to determine automatically the block of the flash memory written in actually.

[0014] Moreover, it can avoid performing immediately the data transfer from buffer memory to a flash memory. That is, the data inputted from the outside are written only in buffer memory, when the writing to the last block is

performed, it begins, and please already written, it shifts, the data of that block are simultaneously transmitted to a flash memory, and a new free block is made until it constitutes buffer memory from much blocks, for example and the opening of this block is lost. Since only the content of this buffer memory will be updated as long as allowances are in the block of buffer memory when the data of the same sector are rewritten repeatedly, for example if it does in this way, the count of rewriting of a actual flash memory can be decreased. when the minimum write-in unit of RAM disk equipment is smaller than the minimum elimination unit of a flash memory, it eliminates, once usually carrying out reading appearance of all the data of a write-in block of a flash memory, and after writing in a part of this data that carried out reading appearance and transposing to data, it is necessary to return to the original block of a flash memory again And the above-mentioned buffer memory can also be used for the memory of the read-out data in this case.

[0015]

[Example] the following -- likeness ***** explanation of this invention of an example -- it carries out.

[0016] Drawing 2 to the block diagram in which drawing 6 shows one example of this invention from drawing 1, and drawing 1 shows the configuration of RAM disk equipment, and drawing 6 are the explanatory views showing write-in actuation of RAM disk equipment.

[0017] This example explains the RAM disk equipment which made memory capacity 10 M bytes using 20 flash memories 1 of a 512K bit x8 bit NAND mold.

[0018] The elimination block whose flash memory 1 used here is the minimum elimination unit is 32 K bytes, blanking time is 10ms and drawing speed is about 0.3micrometers/byte. It can be divided into every ten groups [two], and by the controller 2, these 20 flash memories 1 are independently read for every group, they can be eliminated and can operate now by writing in (program).

[0019] The above-mentioned controller 2 is a controller circuit for flash memories which sends out the data read from this flash memory 1 to an interface 3 while writing the data sent from the interface 3 in a flash memory 1. An interface 3 is a peripheral-device interface circuitry for connecting with the interface by the side of a host by the specification for hard disk drive units. Two buffer memory 4 and 5 is independently connected to this interface 3, respectively. The semiconductor memory of the volatility in which high-speed operations of buffer memory 4 and 5, such as DRAM, SRAM, or NVRAM which has the capacity of 32 K bytes, respectively, are possible, or a non-volatile is used. Or it is good also as a configuration using a flash memory. When becoming the value defined by the 1st formula, the capacity of such buffer memory 4 and 5 can be written in with the blanking time of a flash memory, its time amount can correspond, and write-in actuation with sufficient effectiveness without the latency time can be performed now.

[0020]

[Equation 1]

消去時間

$$\text{バッファメモリの容量} = \frac{\text{消去時間}}{\text{既消去領域内のバイト当たりの書き込み時間}}$$

[0021] Therefore, blanking time is 10ms, and since the write-in time amount per cutting tool to an eliminated field is about 0.3 micrometers, the flash memory 1 has set the capacity of buffer memory 4 and 5 as 32 K bytes as mentioned above, respectively.

[0022] This RAM disk equipment is equipped with a microprocessor 6, and controls read-out of a flash memory 1, elimination, and write-in actuation through the above-mentioned controller 2 and an interface 3. Moreover, a microprocessor 6 also plays the role which changes into the command for flash memories the command for hard disk drive units inputted into the interface 3, and is sent to a controller 2.

[0023] Write-in actuation of the RAM disk equipment of the above-mentioned configuration is explained. ***** shows the case where every 4-block 32-K byte data A-D stored in main memory 7 is written in a flash memory 1, as shown in drawing 2.

[0024] First, as shown in above-mentioned drawing 2, Data A are inputted from main memory 7, and it writes in the 1st buffer memory 4. Moreover, block 1a which can come, simultaneously is due to write in the data A in a flash memory 1 is eliminated. In this case, it is 0.3 microseconds/byte, and 32 K bytes takes 10ms and, as for the drawing speed to buffer memory 4, the blanking time of a flash memory 1 also requires the 10 samems as this.

[0025] Next, as shown in drawing 3, Data B are inputted from main memory 7, and it writes in the 2nd buffer memory 5. Moreover, block 1b which can come, simultaneously is due to write in the data B in a flash memory 1 is eliminated. And it writes in block 1a of the flash memory 1 which could come, simultaneously eliminated the data A of the 1st buffer memory 4 by drawing 2. Here, since he is trying to belong to a different group, block 1a and block 1b of a flash

memory 1 become possible [performing a transfer of elimination and Data A simultaneously by the controller 2]. The write-in time amount to the buffer memory 5 in this case, the blanking time of block 1b of flash memory 1, and the write-in time amount to block 1a also require 10ms.

[0026] Furthermore, as shown in drawing 4, Data C are inputted from main memory 7, and it writes in the 1st buffer memory 4. Under the present circumstances, an over-write [the previous data A] since it has already written in the flash memory 1. Moreover, block 1c which can come, simultaneously is due to write in the data C in a flash memory 1 is eliminated. And it writes in block 1b of the flash memory 1 which could come, simultaneously eliminated the data B of the 2nd buffer memory 5 by drawing 3 R>3. Since he is trying to belong to the group from which block 1b and block 1c of a flash memory 1 also differ here, it is possible to perform a transfer of elimination and Data B simultaneously. Moreover, the write-in time amount to the buffer memory 4 in this case, the blanking time of block 1c, and the write-in time amount to block 1b also require 10ms.

[0027] And as Data C and Data D are similarly shown in drawing 5, while writing in block 1c of a flash memory 1, and the 2nd buffer memory 5, respectively, block 1d is eliminated, and finally, as shown in drawing 6, the data D of the 2nd buffer memory 5 are written in block 1d of the flash memory 1 eliminated by drawing 5. Moreover, 10ms is required also in these cases, respectively.

[0028] Consequently, in order to write every 4-block 32-K byte data A-D on main memory 7 in RAM disk equipment, 50ms (=10msx5) is required. However, the transfer to a flash memory 1 from the 2nd buffer memory 5 shown in the last drawing 6 is actuation only inside RAM disk equipment, and since it is also possible to transmit data new to this and coincidence to the 1st buffer memory 4, and to continue writing succeedingly, the write-in time amount of 4-block data A-D seen from the outside is set to 40ms (=10max4), and drawing speed becomes a byte in 0.3 microseconds /.

[0029] As explained above, since the RAM disk equipment of this example can perform simultaneously data transfer to buffer memory 4 and 5, elimination of a flash memory 1, and data transfer to this flash memory 1 without futility by the same time amount, it can obtain high-speed drawing speed rather than a hard disk drive unit.

[0030] The actuation which writes the data inputted through an interface 3 in one side of buffer memory 4 and 5 in the above-mentioned example, Although actuation which reads the data of another side of this buffer memory 4 and 5, and writes these data in the block of one group of the flash memory of two groups, and actuation which eliminates the data of a block of the group of another side are considered as the configuration performed simultaneously It is good also as a configuration which performs simultaneously only actuation which reads one data of buffer memory 4 and 5, and writes these data in the block of one group of the flash memory of two groups, and actuation which eliminates the data of a block of the group of another side. In this case, ***** [the number of buffer memory / one].

[0031] Moreover, the configuration which uses as the above-mentioned buffer memory a part of flash memory controlled by the controller 2 is also possible.

[0032] Configuration block drawing in this case is shown in drawing 7. In drawing, 8, 9, and 10 are the buffer memory constituted by a part of flash memory controlled by the controller 2. Moreover, drawing 8 to drawing 14 is the explanatory view of write-in actuation.

[0033] Moreover, although buffer memory 4 and 5 can also be constituted from memory IC of the simple substance of the capacity beyond the minimum elimination unit, it is also possible to summarize two or more memory IC of the small capacity of under the minimum elimination unit, and to constitute buffer memory 4 and 5. The advantage in this case is being able to constitute buffer memory from a low price.

[0034] Furthermore, elimination actuation is unnecessary when writing data in an eliminated block already. Therefore, a storage means to memorize whether an elimination condition has each block of a flash memory or it is in a data write-in condition can be established in a controller 2 or a microprocessor 6 etc., and it can also consider as the configuration which does not perform elimination actuation to an eliminated block already according to the content of this storage means.

[0035] Moreover, the configuration whose attachment and detachment of the memory card which prepares a connector between controllers 2 and constitutes the above-mentioned flash memory makes all or a part of flash memories (this buffer memory is included when buffer memory consists of a flash memory) the gestalt of the memory card of one sheet or two or more sheets, and are enabled is also possible.

[0036] Moreover, if a microprocessor 6 constitutes a system as other examples so that the group of buffer memory and a flash memory may be managed, the combination of the flash memory 1 which constitutes a group is not what was fixed, and changing into arbitration is also possible. That is, in drawing 2, it is also possible to write Data A in the 2nd buffer memory 5 from main memory 7. Moreover, in drawing 3, it is also possible to write the data of buffer memory 4 in the blocks 1a, 1b, and 1c of a flash memory 1 and the block of arbitration other than 1d.

[0037] Moreover, the configuration (drawing 5) direct continuation of the buffer memory 4 and 5 of drawing 1 is carried out [configuration] to a microprocessor 6 or the configuration included in a microprocessor 6 and the configuration (drawing 16) by which direct continuation is carried out to a controller 2 from buffer memory 4 and 5, or the configuration included in a controller 2 is possible.

[0038] Furthermore, it is also possible to integrate all or a part of the flash memory 1 which constitutes RAM disk equipment, a controller 2, an interface 3, buffer memory 4 and 5, and microprocessor 6 (or control circuit) as other examples, and to make it one chip. It is that the whole equipment becomes small and densification is carried out as an advantage at this time.

[0039]

[Effect of the Invention] Since data transfer from buffer memory to a flash memory and elimination of a flash memory can be simultaneously performed according to the RAM disk equipment of this invention so that clearly from the above explanation, equivalent to a hard disk drive unit or the drawing speed beyond it can be obtained.

[Translation done.]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram in which showing one example of this invention and showing the configuration of RAM disk equipment.

[Drawing 2] It is the explanatory view in which showing one example of this invention and showing the 1st step of write-in actuation of RAM disk equipment.

[Drawing 3] It is the explanatory view in which showing one example of this invention and showing the 2nd step of write-in actuation of RAM disk equipment.

[Drawing 4] It is the explanatory view in which showing one example of this invention and showing the 3rd step of write-in actuation of RAM disk equipment.

[Drawing 5] It is the explanatory view in which showing one example of this invention and showing the 4th step of write-in actuation of RAM disk equipment.

[Drawing 6] It is the explanatory view in which showing one example of this invention and showing the phase of the last of write-in actuation of RAM disk equipment.

[Drawing 7] It is the block diagram in which showing other examples of this invention and showing the configuration of RAM disk equipment.

[Drawing 8] It is the explanatory view in which showing other examples of this invention and showing the 1st step of write-in actuation of RAM disk equipment.

[Drawing 9] It is the explanatory view in which showing other examples of this invention and showing the 2nd step of write-in actuation of RAM disk equipment.

[Drawing 10] It is the explanatory view in which showing other examples of this invention and showing the 3rd step of write-in actuation of RAM disk equipment.

[Drawing 11] It is the explanatory view in which showing other examples of this invention and showing the 4th step of write-in actuation of RAM disk equipment.

[Drawing 12] It is the explanatory view in which showing other examples of this invention and showing the 5th step of write-in actuation of RAM disk equipment.

[Drawing 13] It is the explanatory view in which showing other examples of this invention and showing the 6th step of write-in actuation of RAM disk equipment.

[Drawing 14] It is the explanatory view in which showing other examples of this invention and showing the last phase of write-in actuation of RAM disk equipment.

[Drawing 15] It is the block diagram in which showing the example of further others of this invention, and showing the configuration of the RAM disk equipment with which direct continuation of the buffer memory is carried out to the microprocessor.

[Drawing 16] It is the block diagram in which showing the example of further others of this invention, and showing the configuration of the RAM disk equipment with which direct continuation of the buffer memory is carried out to the controller.

[Description of Notations]

1 Flash Memory

2 Controller

3 Interface

4 Five Buffer memory

6 Microprocessor

7 Main Memory

8, 9, 10 Buffer memory (flash memory)

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-124175

(43) 公開日 平成6年(1994)5月6日

(51) Int.Cl.⁵

G 06 F 3/08

識別記号

庁内整理番号

H 7165-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 6 (全 8 頁)

(21) 出願番号 特願平5-52815

(22) 出願日 平成5年(1993)3月15日

(31) 優先権主張番号 特願平4-230556

(32) 優先日 平4(1992)8月28日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福本 克巳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

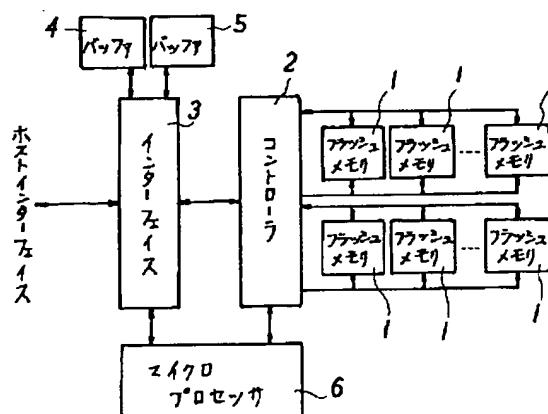
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体ディスク装置

(57) 【要約】

【構成】 フラッシュメモリ1を、書き込みと消去がそれぞれ独立して実行できるように2群に分割すると共に、2つのバッファメモリ4、5を設けた。

【効果】 外部からバッファメモリへのデータ転送と、バッファメモリからフラッシュメモリへのデータ転送と、フラッシュメモリの消去とを同時に実行することができるので、ハードディスク装置と同等又はそれ以上の書き込み速度を得ることができるようになる。



【特許請求の範囲】

【請求項1】 書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、

該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを有するバッファメモリと、該バッファメモリの上記ブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに上記データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えてなることを特徴とする半導体ディスク装置。

【請求項2】 書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、

該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを2つ以上有するバッファメモリと、

インターフェイスを介して入力されるデータを上記バッファメモリの1つのブロックに書き込む動作と、上記バッファメモリの他のブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに該データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えてなることを特徴とする半導体ディスク装置。

【請求項3】 上記バッファメモリがフラッシュメモリからなることを特徴とする、請求項1または2に記載の半導体ディスク装置。

【請求項4】 上記バッファメモリの各ブロックが、上記最小消去単位未満の容量を有する複数のメモリICの集合体であることを特徴とする、請求項1、2または3に記載の半導体ディスク装置。

【請求項5】 上記制御部が、上記2群以上のフラッシュメモリの各ブロックが消去状態であるかデータ書き込み状態であるかを記憶する記憶手段と、該記憶手段の内容に基づき、消去状態にあるブロックに対しては消去動作を禁止させる手段とを備えてなることを特徴とする、請求項1、2、3または4に記載の半導体ディスク装置*

*置。

【請求項6】 上記フラッシュメモリの全部または一部がメモリカードの形態であることを特徴とする、請求項1、2、3、4または5に記載の半導体ディスク装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体ディスク装置に関するもので、特に不揮発性の半導体記憶装置を用いてハードディスク装置と同等の機能を実現した半導体ディスク装置に関するものである。

【0002】

【従来の技術】 近年、ハードディスク装置に代わるコンピュータの外部記憶装置として半導体ディスク装置が種々実用化されている。この半導体ディスク装置は、記憶媒体として不揮発性の半導体記憶装置を用いたものであり、磁気ディスクや磁気ヘッドの駆動機構を有するハードディスク装置に比べて、機械構成がないため極めて高い耐衝撃性と耐振動性を備えている。従って、特に振動や衝撃が問題となる自動車等で利用されるアプリケーションに有用であり、コストが下がれば携帯用のコンピュータ装置の外部記憶装置としても有望視されている。また、この半導体ディスク装置に用いる不揮発性の半導体記憶装置としては、電池バックアップが必要となるDRAM (dynamic random access memory) やSRAM (static RAM) 等よりも、データの消去や書き込み、読みだし時以外は電源を必要としないNOR型のフラッシュメモリやNAND型のフラッシュメモリが多く用いられている。

【0003】

【発明が解決しようとする課題】 しかしながら、上述の従来技術においては、フラッシュメモリは、オーバーライトができないため、書き込みを行う場合には、まずブロック単位またはチップ単位で消去動作を行う必要があり、このために表1に示すように、ハードディスク装置に比べ書き込み速度が遅くなるという問題があった。

【0004】

【表1】

速度	フラッシュメモリ		ハードディスク
	NAND型	NOR型	
読み出し (サイクル時間)	100ns	100ns	0.5~1μs/バイト
既述領域 への書き込み	0.3μs/バイト	10μs/バイト	0.5~1μs/バイト
消去も含む 書き込み	3μs/バイト	約81μs/バイト	—

【0005】 即ち、ハードディスク装置がバイト当たり0.5μs~1μsで書き込みを行うのに対して、フラッシュメモリの消去動作を含む書き込み速度は、NAND型でも3μs程度となり、NOR型では約81μs

50 【0006】 本発明は、上記課題を解決するためになさ

に達する。また、このフラッシュメモリは、フローティングゲートの酸化膜の劣化により、書き換え回数が1万回~10万回程度に制限されるという欠点もある。

3

れたものであり、その目的とするところは、バッファメモリを活用してフラッシュメモリの消去動作と書き込み動作を同時に実行することにより、ハードディスク装置に劣らない書き込み速度を有する半導体ディスク装置を提供することにある。

【0007】

【課題を解決するための手段】本発明の半導体ディスク装置は、書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを有するバッファメモリと、該バッファメモリの上記ブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに上記データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えており、そのことにより上記目的が達成される。

【0008】また、本発明の半導体ディスク装置は、書き込みと消去をそれぞれ独立して実行できる2群以上のフラッシュメモリと、該2群以上のフラッシュメモリの最小消去単位以上の容量を有するブロックを2つ以上有するバッファメモリと、インターフェイスを介して入力されるデータを上記バッファメモリの1つのブロックに書き込む動作と、上記バッファメモリの他のブロックのデータを読みだし、上記2群以上のフラッシュメモリの1つの群のいずれかのブロックに該データを書き込む動作と、上記2群以上のフラッシュメモリの他の群のいずれかのブロックのデータを消去する動作とを同時に実行させる制御部とを備えており、そのことにより上記目的が達成される。

【0009】さらに、本発明の半導体ディスク装置は、上記半導体ディスク装置に於いて、上記制御部が、上記2群以上のフラッシュメモリの各ブロックが消去状態であるかデータ書き込み状態であるかを記憶する記憶手段と、該記憶手段の内容に基づき、消去状態にあるブロックに対しては消去動作を禁止させる手段とを備えており、そのことにより上記目的を達成される。

【0010】

【作用】バッファメモリが第1と第2の2つのブロックを有すると共に、フラッシュメモリも第1と第2の2群に分割された半導体ディスク装置に複数ブロック分のデータを書き込む場合について説明する。

【0011】まず、制御部がインターフェイスを介して最初の1ブロック分のデータを入力しバッファメモリの第1ブロックに書き込むと同時に、このデータを書き込む予定の例えば第1の群のフラッシュメモリの該当ブロックを消去する。次に、制御部がインターフェイスを介して次の1ブロック分のデータを入力してバッファメモリの第2ブロックに書き込むと同時に、このデータを書き込む予定の第2群のフラッシュメモリの該当ブロック

10

20

30

40

50

4

を消去し、かつバッファメモリの第1ブロックからデータを読みだし先に消去した第1群のフラッシュメモリの当該ブロックに書き込む動作も同時に行う。さらに、制御部がインターフェイスを介してその次の1ブロック分のデータを入力しバッファメモリの第1ブロックに書き込むと同時に、このデータを書き込む予定の第1群のフラッシュメモリの該当ブロックを消去し、かつバッファメモリの第2ブロックからデータを読みだし先に消去した第2群のフラッシュメモリの当該ブロックに書き込む動作も同時に行う。そして、以降順次1ブロック分ずつのデータを入力しながら同様の動作を繰り返し、最後にバッファメモリのいずれかのブロックからデータを読みだし直前に消去したいずれかの群のフラッシュメモリの当該ブロックに書き込みを行うことにより全てのデータの書き込みを完了する。

【0012】この結果、本発明の半導体ディスク装置によれば、書き込み速度が外部からバッファメモリへの1ブロック分のデータ転送時間と、バッファメモリからフラッシュメモリへの1ブロック分のデータ転送時間と、フラッシュメモリの1ブロック分の消去時間とのうちのいずれか最も長い時間のみによって規定されることにより、連続的に高速で書き込みを行う事ができるようになる。

【0013】なお、上記書き込み動作では、同じ群のフラッシュメモリが連続して選択されず、常に異なるフラッシュメモリが順に選択されることが前提となっていた。これは、例えば主記憶装置におけるインターリーブ方式のように、連続するセクタ番号を各群のフラッシュメモリに交互に割り当てておき、常にシーケンシャルなアクセスを行うようにすれば実現できる。しかしながら、ランダムアクセスを行う場合には、同じ群のフラッシュメモリが連続して選択される場合があり、この場合にはフラッシュメモリのブロックの消去と書き込みを同時に実現することができないので、書き込み速度が少し低下する。ただし、フラッシュメモリを3群以上に分割すれば、このように同じ群が連続して選択される可能性は比較的少なくなる。また、フラッシュメモリの空きブロックを半導体ディスク装置自身で管理し、実際に書き込むフラッシュメモリのブロックを自動的に決定することができるようとしたシステムを備えている場合には、順次前回とは異なる群のフラッシュメモリから書き込み可能なブロックを選択することにより、同じ群のフラッシュメモリが連続して選択されるというおそれをなくすことができる。

【0014】また、バッファメモリからフラッシュメモリへのデータの転送をすぐに実行しないようにすることもできる。即ち、例えばバッファメモリを多数のブロックで構成し、このブロックの空きがなくなるまでは、外部から入力したデータをバッファメモリにのみ書き込むようにし、最後のブロックへの書き込みが行われるとき

に始めて既に書き込まれたいずれかのブロックのデータを同時にフラッシュメモリに転送して新たな空きブロックを作るようとする。このようにすれば、例えば同じセクタのデータが繰り返し書き換えられたような場合に、バッファメモリのブロックに余裕がある限り、このバッファメモリの内容のみが更新されることになるので、実際のフラッシュメモリの書き換え回数を減少させることができる。半導体ディスク装置の最小書き込み単位がフラッシュメモリの最小消去単位より小さい場合には、通常は一旦フラッシュメモリの書き込みブロックのデータを全て読み出した後に消去を行い、この読み出したデータの一部を書き込みデータに置き換えてから再びフラッシュメモリの元のブロックに書き戻す必要がある。そして、上記バッファメモリは、この場合の読み出しデータの一時記憶用に用いる事もできる。

【0015】

【実施例】以下に、本発明の実施例について説明する。

【0016】図1から図6は本発明の一実施例を示すものであって、図1は半導体ディスク装置の構成を示すブロック図、図2から図6は半導体ディスク装置の書き込み動作を示す説明図である。

【0017】本実施例は、512Kビット×8ビットのNAND型のフラッシュメモリ1を20個使用して記憶容量を10Mバイトとした半導体ディスク装置について説明する。

【0018】ここで使用するフラッシュメモリ1は、最*

*小消去単位である消去ブロックが32Kバイトであり、消去時間が10ms、書き込み速度が約0.3μm/バイトである。これら20個のフラッシュメモリ1は、10個ずつの2群に分割され、コントローラ2によって各群ごとに独立に読み出し、消去、書き込み（プログラム）動作を行うことができるようになっている。

【0019】上記コントローラ2は、インターフェイス3から送られて来たデータをフラッシュメモリ1に書き込むと共に、このフラッシュメモリ1から読み出したデータをインターフェイス3に送り出すフラッシュメモリ用のコントローラ回路である。インターフェイス3は、ハードディスク装置用の規格によりホスト側のインターフェイスと接続するための周辺機器インターフェイス回路である。このインターフェイス3には、2つのバッファメモリ4、5がそれぞれ独立に接続されている。バッファメモリ4、5は、それぞれ32Kバイトの容量を有するDRAM、SRAM又はNVRAM等の高速動作可能な揮発性または不揮発性の半導体記憶装置が用いられる。或は、フラッシュメモリを用いる構成としてもよい。これらのバッファメモリ4、5の容量は、第1の式によって定められる値となる場合にフラッシュメモリの消去時間と書き込み時間とが一致し、待ち時間のない効率のよい書き込み動作を行うことができるようになる。

【0020】

【数1】

消去時間

$$\text{バッファメモリの容量} = \frac{\text{既消去領域へのバイト当たりの書き込み時間}}{\text{既消去領域のバイト当たりの書き込み時間}}$$

【0021】従って、フラッシュメモリ1は、消去時間が10msであり、既消去領域へのバイト当たりの書き込み時間が約0.3μmであることから、バッファメモリ4、5の容量をそれぞれ上記のように32Kバイトに設定している。

【0022】この半導体ディスク装置は、マイクロプロセッサ6を備え、上記コントローラ2及びインターフェイス3を介してフラッシュメモリ1の読み出し、消去、書き込み動作を制御するようになっている。また、マイクロプロセッサ6は、インターフェイス3に入力されたハードディスク装置用のコマンドをフラッシュメモリ用のコマンドに変換してコントローラ2に送る役割も果す。

【0023】上記構成の半導体ディスク装置の書き込み動作について説明する。ここでは、図2に示すように、メインメモリ7に格納された32Kバイトずつ4ブロックのデータA～Dをフラッシュメモリ1に書き込む場合を示す。

【0024】まず、上記図2に示すように、メインメモリ7からデータAを入力し、第1のバッファメモリ4に

書き込む。また、これと同時に、フラッシュメモリ1におけるデータAを書き込む予定のブロック1aを消去する。この場合、バッファメモリ4への書き込み速度は0.3μs/バイトであり、32Kバイト分で10msを要し、フラッシュメモリ1の消去時間もこれと同じ10msを要する。

【0025】次に、図3に示すように、メインメモリ7からデータBを入力し第2のバッファメモリ5に書き込む。また、これと同時に、フラッシュメモリ1におけるデータBを書き込む予定のブロック1bを消去する。そして、これと同時に、第1のバッファメモリ4のデータAを図2で消去したフラッシュメモリ1のブロック1aに書き込む。ここで、フラッシュメモリ1のブロック1aとブロック1bは異なる群に属するようしているため、コントローラ2によって消去とデータAの転送を同時に実行することが可能となる。この場合のバッファメモリ5への書き込み時間とフラッシュメモリ1のブロック1bの消去時間とブロック1aへの書き込み時間も、10msを要する。

【0026】さらに、図4に示すように、メインメモリ7からデータCを入力し、第3のバッファメモリ6に

7からデータCを入力し、第1のバッファメモリ4に書き込む。この際、先のデータAは、既にフラッシュメモリ1に書き込んであるのでオーバーライ特開平6-124175トされる。また、これと同時に、フラッシュメモリ1におけるデータCを書き込む予定のブロック1cを消去する。そして、これと同時に、第2のバッファメモリ5のデータBを図3で消去したフラッシュメモリ1のブロック1bに書き込む。ここで、フラッシュメモリ1のブロック1bとブロック1cも異なる群に属するようにしているため、消去とデータBの転送を同時に実行することが可能である。また、この場合のバッファメモリ4への書き込み時間とブロック1cの消去時間とブロック1bへの書き込み時間も、1.0msを要する。

【0027】そして、データCとデータDについても同様に、図5に示すように、それぞれフラッシュメモリ1のブロック1cと第2のバッファメモリ5に書き込むと共にブロック1dを消去し、最後に、図6に示すように、第2のバッファメモリ5のデータDを図5で消去したフラッシュメモリ1のブロック1dに書き込む。また、これらの場合も、それぞれ1.0msを要する。

【0028】この結果、メインメモリ7上の32Kバイトずつ4ブロックのデータA～Dを半導体ディスク装置に書き込むために5.0ms(=1.0ms×5)を要する。ただし、最後の図6に示す第2のバッファメモリ5からフラッシュメモリ1への転送は、半導体ディスク装置内部だけの動作であり、かつ、これと同時に新たなデータを第1のバッファメモリ4に転送して引き続き書き込みを続行することも可能であるため、外部から見た4ブロックのデータA～Dの書き込み時間は4.0ms(=1.0ms×4)となり、書き込み速度は0.3μs/バイトとなる。

【0029】以上説明したように、本実施例の半導体ディスク装置は、バッファメモリ4、5へのデータ転送とフラッシュメモリ1の消去とのフラッシュメモリ1へのデータ転送を同時に同じ時間で無駄なく実行することができる、ハードディスク装置よりも高速の書き込み速度を得ることができるようになる。

【0030】上記実施例に於いては、インターフェイス3を介して入力されるデータをバッファメモリ4、5の一方に書き込む動作と、該バッファメモリ4、5の他方のデータを読み出し、2群のフラッシュメモリの一方の群のブロックに該データを書き込む動作と、他方の群のブロックのデータを消去する動作とを同時に実行させる構成としているが、バッファメモリ4、5の一方のデータを読み出し、2群のフラッシュメモリの一方の群のブロックに該データを書き込む動作と、他方の群のブロックのデータを消去する動作とのみを同時に実行させる構成としてもよい。この場合、バッファメモリは1個でもよい。

【0031】また、コントローラ2によって制御される

フラッシュメモリの一部を上記バッファメモリとする構成も可能である。

【0032】この場合の構成ブロック図を図7に示す。図に於いて、8、9、10が、コントローラ2によって制御されるフラッシュメモリの一部により構成されるバッファメモリである。また、図8から図14は書き込み動作の説明図である。

【0033】また、バッファメモリ4、5は最小消去単位以上の容量の単体のメモリICから構成することもできるが、最小消去単位未満の小容量のメモリICを複数個まとめてバッファメモリ4、5を構成することも可能である。この場合の利点は、低価格でバッファメモリが構成できることである。

【0034】さらに、既に消去済みのブロックにデータを書き込むときは、消去動作は不要である。従って、フラッシュメモリの各ブロックが消去状態にあるか、データ書き込み状態にあるかを記憶する記憶手段を、コントローラ2内或はマイクロプロセッサ6内等に設け、該記憶手段の内容に従って、既に消去済みのブロックに対しては消去動作を実行させない構成とすることもできる。

【0035】また、フラッシュメモリ(バッファメモリがフラッシュメモリから成る場合は、該バッファメモリを含む)の全部または一部を、一枚又は複数枚のメモリーカードの形態とし、コントローラ2との間にコネクタを設けて、上記フラッシュメモリを構成するメモリーカードを着脱自在とする構成も可能である。

【0036】また、他の例としては、マイクロプロセッサー6が、バッファメモリ及びフラッシュメモリの群を管理するようにシステムを構成すると、群を構成するフラッシュメモリ1の組み合わせは固定したものではなく、任意に変更することも可能である。すなわち、図2に於いて、メインメモリ7からデータAを第2のバッファメモリ5に書き込むことも可能である。また、図3に於いて、バッファメモリ4のデータを、フラッシュメモリ1のブロック1a、1b、1c、1d以外の任意のブロックに書き込むことも可能である。

【0037】また、図1のバッファメモリ4、5がマイクロプロセッサ6に直接接続される構成(図15)、または、マイクロプロセッサ6に含まれる構成、及び、バッファメモリ4、5からコントローラ2に直接接続される構成(図16)、または、コントローラ2に含まれる構成等も可能である。

【0038】さらに、他の例としては、半導体ディスク装置を構成するフラッシュメモリ1、コントローラ2、インターフェイス3、バッファメモリ4、5及びマイクロプロセッサ6(または制御回路)の全てまたは一部を集積化して1チップにすることも可能である。このときの利点としては、装置全体が小型になり高密度化されることである。

【0039】

【発明の効果】以上の説明から明らかなように、本発明の半導体ディスク装置によれば、バッファメモリからフラッシュメモリへのデータ転送と、フラッシュメモリの消去とを同時に実行することができるので、ハードディスク装置と同等又はそれ以上の書き込み速度を得ることができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すものであって、半導体ディスク装置の構成を示すブロック図である。

【図2】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第1段階を示す説明図である。

【図3】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第2段階を示す説明図である。

【図4】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第3段階を示す説明図である。

【図5】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の第4段階を示す説明図である。

【図6】本発明の一実施例を示すものであって、半導体ディスク装置の書き込み動作の最後の段階を示す説明図である。

【図7】本発明の他の実施例を示すものであって、半導体ディスク装置の構成を示すブロック図である。

【図8】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第1段階を示す説明図である。

【図9】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第2段階を示す説明図

である。

【図10】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第3段階を示す説明図である。

【図11】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第4段階を示す説明図である。

【図12】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第5段階を示す説明図である。

【図13】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の第6段階を示す説明図である。

【図14】本発明の他の実施例を示すものであって、半導体ディスク装置の書き込み動作の最終の段階を示す説明図である。

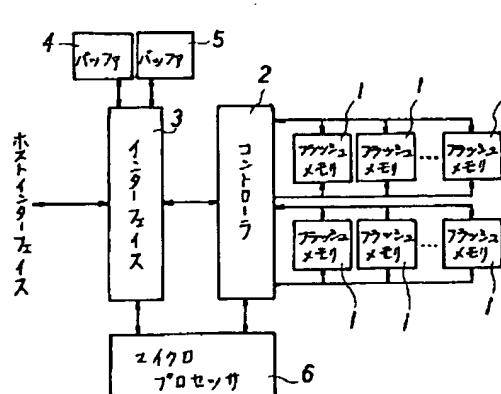
【図15】本発明の更に他の実施例を示すものであつて、バッファメモリがマイクロプロセッサに直接接続されている半導体ディスク装置の構成を示すブロック図である。

【図16】本発明の更に他の実施例を示すものであつて、バッファメモリがコントローラに直接接続されている半導体ディスク装置の構成を示すブロック図である。

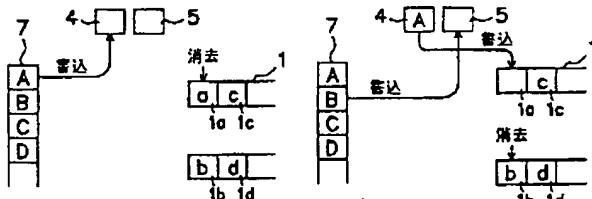
【符号の説明】

- 1 フラッシュメモリ
- 2 コントローラ
- 3 インターフェイス
- 4, 5 バッファメモリ
- 6 マイクロプロセッサ
- 7 メインメモリ
- 8, 9, 10 バッファメモリ（フラッシュメモリ）

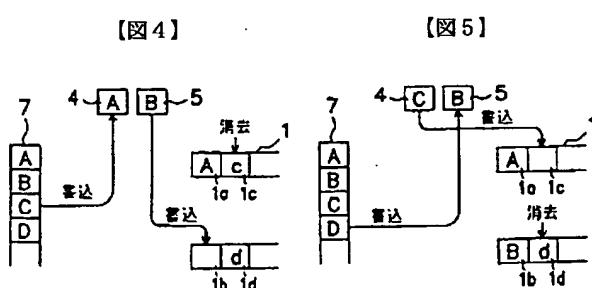
【図1】



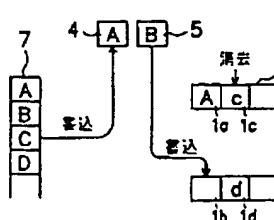
【図2】



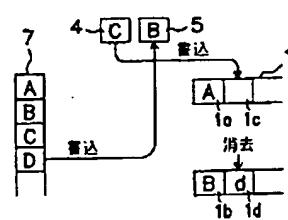
【図3】



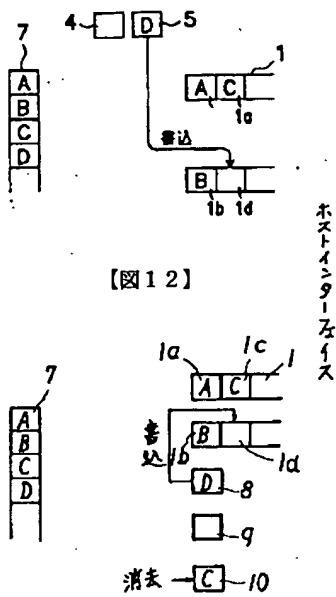
【図4】



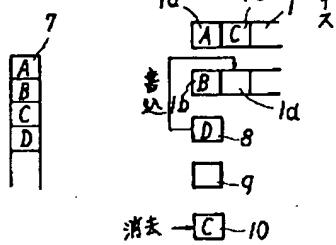
【図5】



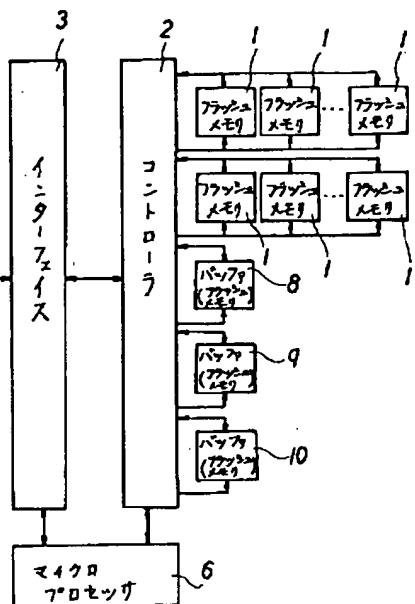
【図6】



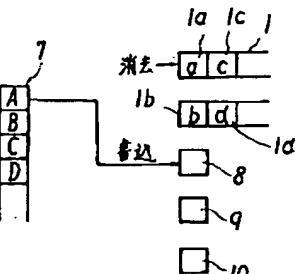
【図12】



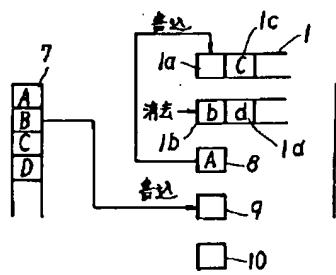
【図7】



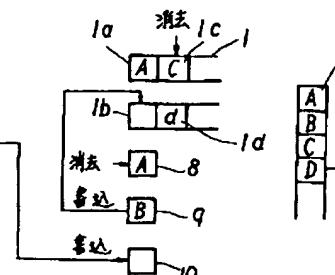
【図8】



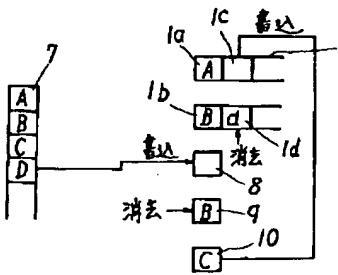
【図9】



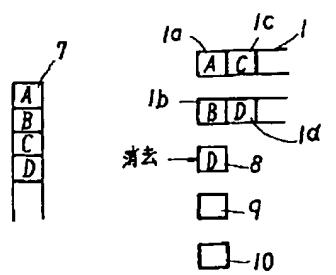
【図10】



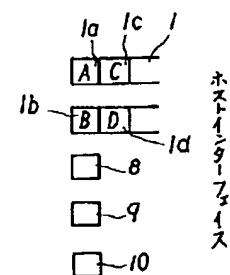
【図11】



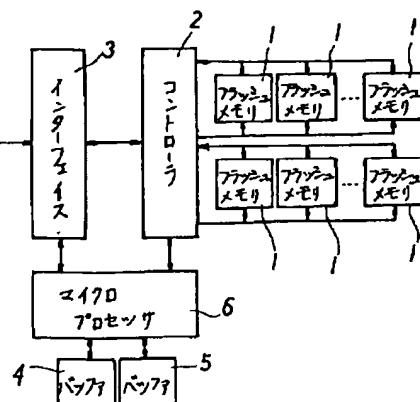
【図13】



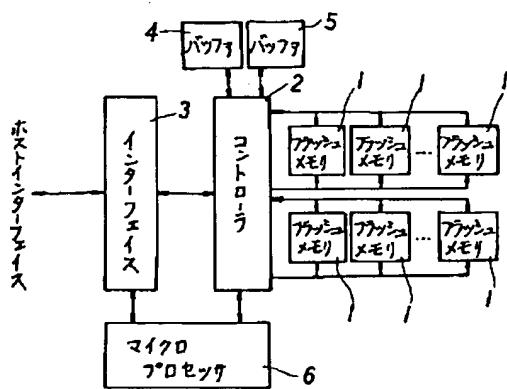
【図14】



【図15】



【図16】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.